

**THIN FILM TRANSISTOR MATRIX AND ITS MANUFACTURE**

**Patent number:** JP4334061  
**Publication date:** 1992-11-20  
**Inventor:** TANAKA TSUTOMU; YANAI KENICHI; OGATA HIROSHI;  
TANAKA TOSHIICHI  
**Applicant:** FUJITSU LTD  
**Classification:**  
**- international:** *G02F1/1343; G02F1/136; H01L21/336; H01L27/12;  
H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66;  
(IPC1-7): G02F1/1343; G02F1/136; H01L27/12; H01L29/784*  
**- european:**  
**Application number:** JP19910102996 19910509  
**Priority number(s):** JP19910102996 19910509

**Report a data error here**

**Abstract of JP4334061**

**PURPOSE:**To obtain a thin film transistor matrix having a structure wherein the short circuit between data bus lines and gate bus lines and the disconnection of the gate bus lines are not generated. **CONSTITUTION:**The following are provided; a transparent insulative substrate 1, a transparent insulative layer 3 covering the substrate 1, and a plurality of parallel data bus lines 6 buried in the insulative layer 3 in the manner in which the height of the surface becomes nearly equal to the height of the surface of the insulative layer 3. A device is constituted of the following; a drain electrode 7 and a source electrode 8 laminated in order on the transparent insulative layer 3, an operating semiconductor layer 10, gate insulating layers 11, 12, a gate electrode 13, and a thin film transistor matrix having a plurality of parallel gate bus lines 14 perpendicularly intersecting a plurality of the parallel data bus lines 6.

---

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-334061

(43) 公開日 平成4年(1992)11月20日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/1343		9018-2K		
1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M	H 0 1 L 29/78	3 1 1 A
		9056-4M	審査請求 未請求	請求項の数 3 (全 6 頁)

(21) 出願番号 特願平3-102996

(22) 出願日 平成3年(1991)5月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 田中 勉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 梁井 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 大形 公士

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

最終頁に続く

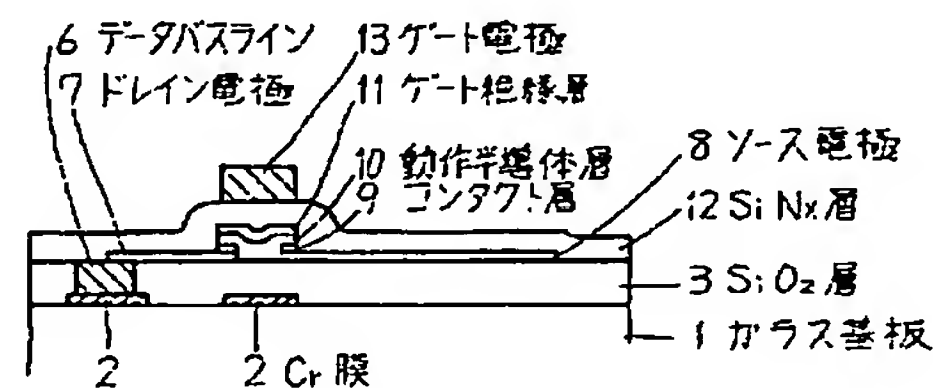
(54) 【発明の名称】 薄膜トランジスタマトリックス及びその製造方法

(57) 【要約】

【目的】 薄膜トランジスタマトリックス及びその製造方法に関し、データバスラインとゲートバスライン間の短絡やゲートバスラインの断線の生じない構造の薄膜トランジスタマトリックスの提供を目的とする。

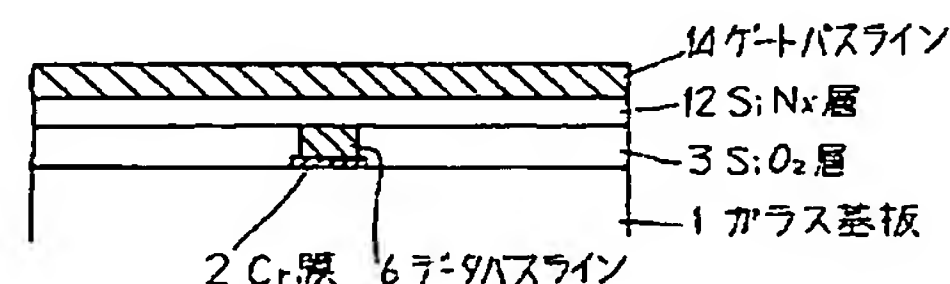
【構成】 透明絶縁性基板1と、透明絶縁性基板1を覆う透明絶縁層3と、透明絶縁層3に表面の高さが透明絶縁層3表面の高さとほぼ等しくなるように埋め込まれた複数の平行なデータバスライン6と、透明絶縁層3上に順次積層されたソース・ドレイン電極7、8、動作半導体層10、ゲート絶縁層11、12、ゲート電極13と、絶縁層12を介して複数の平行なデータバスライン6と直交する複数の平行なゲートバスライン14を有する薄膜トランジスタマトリックスにより構成する。

実施例のTFTマトリックスの断面図



A-A 断面図

(a)



B-B 断面図

(b)

(2)

特開平4-334061

1

2

## 【特許請求の範囲】

【請求項1】 透明絶縁性基板(1)と、該透明絶縁性基板(1)を覆う透明絶縁層(3)と、該透明絶縁層(3)に表面の高さが該透明絶縁層(3)表面の高さとほぼ等しくなるように埋め込まれた複数の平行なデータバスライン(6)と、該透明絶縁層(3)上に順次積層されたソース・ドレイン電極(7, 8)、動作半導体層(10)、ゲート絶縁層(11, 12)、ゲート電極(13)と、絶縁層(12)を介して該複数の平行なデータバスライン(6)と直交する複数の平行なゲートバスライン(14)を有することを特徴とする薄膜トランジスタマトリックス。

【請求項2】 透明絶縁性基板(1)上に透明絶縁層(3)を形成する第1の工程と、該透明絶縁層(3)上に複数の平行な溝を有するマスク(4)を用いて該透明絶縁層(3)をエッチングし、該透明絶縁層(3)に開孔(5)を形成した後、該開孔(5)を金属層で埋め込んで、表面の高さが該透明絶縁層(3)表面の高さとほぼ等しい複数の平行なデータバスライン(6)を形成する第2の工程と、全面に透明導電体を被着した後それをパターニングして、ドレイン電極(7)及びソース電極(8)を形成する第3の工程と、全面に半導体層を堆積した後それをパターニングして、該ドレイン電極(7)及び該ソース電極(8)間の該透明絶縁層(3)上から両側の該ドレイン電極(7)及び該ソース電極(8)上に展延する動作半導体層(10)を形成する第4の工程と、該動作半導体層(10)を覆い全面に展延するゲート絶縁層(12)を形成する第5の工程と、該ゲート絶縁層(12)上に金属層を堆積した後それをパターニングして、該動作半導体層(10)上にゲート電極(13)及び該ゲート電極(13)に接続しかつ該複数の平行なデータバスライン(6)と該ゲート絶縁層(12)を介して直交する複数の平行なゲートバスライン(14)を形成する第6の工程を有し、該第1の工程乃至該第6の工程をこの順序で行うことを特徴とする薄膜トランジスタマトリックスの製造方法。

【請求項3】 該透明絶縁層(3)上に複数の平行な溝を有するマスク(4)を用いて該透明絶縁層(3)をエッチングし、該透明絶縁層(3)に開孔(5)を形成した後、該開孔(5)を埋め込む金属層表面の高さが該透明絶縁層(3)表面の高さとほぼ等しくなるように全面に金属層を堆積し、該マスク(4)上の該金属層を該マスク(4)とともに除去し、該開孔(5)周縁部に生じた該金属層のバリ(6a)を光を照射することにより溶融してなだらかにし、該透明絶縁層(3)に埋め込まれた複数の平行なデータバスライン(6)を形成する第2の工程を有することを特徴とする請求項2記載の薄膜トランジスタマトリックスの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜トランジスタマトリックス及びその製造方法に関する。近年、液晶ディス

レイ(LCD)、エレクトロルミネッセンス等の駆動素子として、薄膜トランジスタ(TFT)マトリックスが使用されるようになった。このようなTFTマトリックスにおいては、数十万箇のTFTが含まれ、製造の容易性、製造歩留りの向上が強く要望されている。

## 【0002】

【従来の技術】 図4は従来のスタガー型TFTマトリックスの平面図、図5(a)、(b)は従来のスタガー型TFTマトリックスのA-A断面図、B-B断面図であり、1はガラス基板、2はCr膜、3はSiO<sub>2</sub>層、6はデータバスライン、7はドレイン電極、8はソース電極、9はコンタクト層、10は動作半導体層、11、12はゲート絶縁層、13はゲート電極、14はゲートバスラインを表す。

【0003】 以下、これらの図を参照しながら従来例について説明する。まず、ガラス板等の透明絶縁性基板1にCr膜を堆積し、それをパターニングして遮光膜2を形成する。

【0004】 全面に遮光膜2の絶縁層としてSiO<sub>2</sub>層3を形成した後、ITO層およびn<sup>+</sup>型a-Si層を堆積する。そのITO層およびn<sup>+</sup>型a-Si層をパターニングして、ドレイン電極7、ソース電極8、画素電極15を形成する。

【0005】 全面を覆うi型a-Si層、SiN<sub>x</sub>層を連続堆積し、それらとn<sup>+</sup>型a-Si層を一括パターニングしてコンタクト層9、動作半導体層10、ゲート絶縁層11を形成する。

【0006】 その後、大画面ではITO層だけではバスライン抵抗が高過ぎるので、Al等の金属を堆積し、それをパターニングして、ドレイン電極7に接続する抵抗の低いデータバスライン6を形成する。この場合、Alの膜厚はバスラインの幅にもよるが6000Å程度が必要とされる。

【0007】 ゲートバスライン、データバスライン間の絶縁層としてゲート絶縁層を兼ねるSiN<sub>x</sub>層12を形成した後、全面にAl等の金属を堆積し、それをパターニングして、ゲート電極13及びそれに接続するゲートバスライン14を形成する。

【0008】 このようにしてTFTマトリックスを完成するが、この従来の構造には次のような問題点がある。即ち、データバスライン6のAl膜厚は6000Å程度が必要であり、その上のSiN<sub>x</sub>層12は厚過ぎるとTFT特性を悪化させるので、せいぜい3000Å程度に限定され、そのため、データバスライン6とゲートバスライン14間に短絡の生じたり、ゲートバスライン14がデータバスライン6との段差部で断線を生じるといった問題がある。

## 【0009】

【発明が解決しようとする課題】 本発明は上記の問題に鑑み、データバスライン6とゲートバスライン14間に短絡の生じたり、ゲートバスライン14がデータバスライン6との段差部で断線を生じたりすることのない構造のT

3

FTマトリックスの構造及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】図1(a), (b)は実施例のFTマトリックスの断面図、図2(a)～(f)は実施例を示す工程順断面図、図3(a), (b)はデータバスラインの平坦化処理を説明するための断面図である。

【0011】上記課題は、透明絶縁性基板1と、該透明絶縁性基板1を覆う透明絶縁層3と、該透明絶縁層3に表面の高さが該透明絶縁層3表面の高さとほぼ等しくなるように埋め込まれた複数の平行なデータバスライン6と、該透明絶縁層3上に順次積層されたソース・ドレイン電極7、8、動作半導体層10、ゲート絶縁層11、12、ゲート電極13と、絶縁層12を介して該複数の平行なデータバスライン6と直交する複数の平行なゲートバスライン14を有することを特徴とする薄膜トランジスタマトリックスによって解決される。

【0012】また、透明絶縁性基板1上に透明絶縁層3を形成する第1の工程と、該透明絶縁層3上に複数の平行な溝を有するマスク4を用いて該透明絶縁層3をエッチングし、該透明絶縁層3に開孔5を形成した後、該開孔5を金属層で埋め込んで、表面の高さが該透明絶縁層3表面の高さとほぼ等しい複数の平行なデータバスライン6を形成する第2の工程と、全面に透明導電体を被着した後それをパターニングして、ドレイン電極7及びソース電極8を形成する第3の工程と、全面に半導体層を堆積した後それをパターニングして、該ドレイン電極7及び該ソース電極8間の該透明絶縁層3上から両側の該ドレイン電極7及び該ソース電極8上に展延する動作半導体層10を形成する第4の工程と、該動作半導体層10を覆い全面に展延するゲート絶縁層12を形成する第5の工程と、該ゲート絶縁層12上に金属層を堆積した後それをパターニングして、該動作半導体層10上にゲート電極13及び該ゲート電極13に接続しかつ該複数の平行なデータバスライン6と該ゲート絶縁層12を介して直交する複数の平行なゲートバスライン14を形成する第6の工程を有し、該第1の工程乃至該第6の工程をこの順序で行う薄膜トランジスタマトリックスの製造方法によって解決される。

【0013】また、該透明絶縁層3上に複数の平行な溝を有するマスク4を用いて該透明絶縁層3をエッチングし、該透明絶縁層3に開孔5を形成した後、該開孔5を埋め込む金属層表面の高さが該透明絶縁層3表面の高さとほぼ等しくなるように全面に金属層を堆積し、該マスク4上の該金属層を該マスク4とともに除去し、該開孔5周縁部に生じた該金属層のバリ6aを光を照射することにより溶解してなだらかにし、該透明絶縁層3に埋め込まれた複数の平行なデータバスライン6を形成する第2の工程を有する薄膜トランジスタマトリックスの製造方法によって解決される。

(3)

特開平4-334061

4

【0014】

【作用】本発明によれば、データバスライン6は透明絶縁層3に埋め込まれ、その表面の高さは透明絶縁層3表面の高さとほぼ等しくなるので、その上にゲート絶縁層12を介して直交するゲートバスライン14は平坦に形成され、ゲートバスライン14とデータバスライン6の短絡やゲートバスライン14の断線の生じることがない。したがって、FTマトリックスの製造歩留りが高くなる。

【0015】

10 【実施例】図2(a)～(f)は実施例を示す工程順断面図で、図4のA-A断面に相当するA-A断面図を示している。以下、これらの図を参照しながら、本発明の実施例について説明する。

【0016】図2(a) 参照

透明絶縁性基板としてガラス基板1上にCr膜2をスパッタ法により1000Åの厚さに堆積し、それを動作半導体層とデータバスラインの下部に残すようにパターニングする。動作半導体層下部のCr膜2は遮光膜となり、データバスライン下部のCr膜2はエッチングストッパとなる。

20 【0017】図2(b) 参照

全面に透明絶縁層としてSiO<sub>2</sub>層3を、プラズマCVD法により6000Åの厚さに堆積し、その上にレジストを塗布し、データバスライン形成部に複数の平行な溝を開くレジストマスク4を形成する。レジストマスク4をマスクにしてフッ酸系エッチング液を用いてSiO<sub>2</sub>層3をエッチングし、開孔5を形成する、この時、Cr膜2はエッチングストッパとなる。

【0018】図2(c) 参照

30 スパッタ法により、全面にデータバスライン形成用金属としてAlを堆積し、開孔5を埋め込む。レジストマスク4上にもAlが堆積する。レジストマスク4を剥離し、その上のAlも同時にリフトオフすることにより、SiO<sub>2</sub>層3に埋め込まれたデータバスライン6を形成する。この時、データバスライン6の高さはSiO<sub>2</sub>層3表面の高さにほぼ等しくなる。

【0019】図2(d) 参照

スパッタ法により、全面にソース・ドレイン用金属としてITO等の透明導電体を500Åの厚さに堆積し、つづいてn<sup>+</sup>a-Siを500Åの厚さに堆積する。ITO層とn<sup>+</sup>a-Siをレジストマスクを用いてエッチングし、ITOのドレイン電極7及びソース電極8、さらにそれらの上にn<sup>+</sup>a-Siのコンタクト層9を形成する。ドレイン電極7はデータバスライン6に電氣的に接続するように形成する。

【0020】図2(e) 参照

50 プラズマCVD法により、厚さ500Åのa-Si層、厚さ500ÅのSiN<sub>x</sub>層を連続堆積する。その上にレジストを塗布し、それをパターニングしてレジストマスクを形成し、そのレジストマスクをマスクにしてCF<sub>4</sub>系の



5

エッチングガスを用いてSiN<sub>x</sub>層、a-Si層、n<sup>+</sup>-a-Si層をエッチングし、ゲート絶縁層11、動作半導体層10、コンタクト層9を形成する。このようにして、TFTの素子分離を行う。

【0021】図2(f)参照

プラズマCVD法により、全面に厚さ2500ÅのSiN<sub>x</sub>層を堆積し、ゲート絶縁層12を形成する。このゲート絶縁層12はデータバスライン6とゲートバスラインの交差部の層間絶縁層も兼ねる。

【0022】その後、スパッタ法により、全面にAlを6000Åの厚さに堆積し、それをバタニングして動作半導体層10の上部にゲート電極13、及びゲート電極13に接続しゲート絶縁層12を介してデータバスライン6と直交する複数の平行なゲートバスライン14を形成する。

【0023】図1(a)、(b)はこのようにして完成したTFTマトリックスの断面図であり、(a)は素子を含むA-A断面図、(b)はデータバスライン6とゲートバスライン14の交差部を含むB-B断面図である。

【0024】図1(b)に見るように、データバスライン6の表面はSiO<sub>2</sub>膜3の表面と等しい高さに形成されるので、ゲートバスライン14はデータバスライン6との交差部においても平坦に形成され、交差部でデータバスライン6と短絡したり、断線したりすることはない。

【0025】製造の途中において、スパッタ法により、全面にデータバスライン形成用Alを堆積し、開孔5を埋め込み、レジストマスク4上のAlをリフトオフした時、レジストマスク4の形状やAlの成膜条件によっては完全には平坦化されず、開孔5の周縁部にAlのバリを生じることがある。

【0026】図3(a)、(b)はその際のデータバスラインの平坦化処理を説明するための図である。図3(a)はAlのバリ6aの生じた状態を示し、(b)はそれに対してレーザ光を照射してAlのバリ6aを熔融してリフローさせ、角をなだらかにしてほぼ平坦化した状態を示す。

【0027】透明絶縁性基板3として軟化点がAlの融点(660℃)より低いガラス基板を用いる時は、ガラス基板を軟化点以下に保持するために瞬間的に光を照射し、不透明なAl部分にのみ光を吸収させ、Alのバリ6aのリフローを行うようにする。光源としてレーザ、ハロゲンランプ等を使用することができる。また、この平坦化処理はソース・ドレイン電極が透明であれば、ソース・

(4)

特開平4-334061

6

ドレイン電極形成後でも行うことができる。

【0028】

【発明の効果】以上説明したように、本発明によればデータバスライン6の表面の高さが絶縁層3の表面の高さとはほぼ等しいから、ゲートバスライン14はデータバスライン6との交差部においても絶縁層12を介して平坦に形成され、交差部でデータバスライン6と短絡したり、断線したりすることはない。

【0029】本発明はTFTマトリックスの製造歩留りを向上する効果を奏し、液晶ディスプレイパネルの歩留り向上に寄与するものである。

【図面の簡単な説明】

【図1】実施例のTFTマトリックスの断面図であり、(a)はA-A断面図、(b)はB-B断面図である。

【図2】(a)～(f)は実施例を示す工程順断面図である。

【図3】(a)、(b)はデータバスラインの平坦化処理を説明するための断面図である。

【図4】従来のスタガー型TFTマトリックスの平面図である。

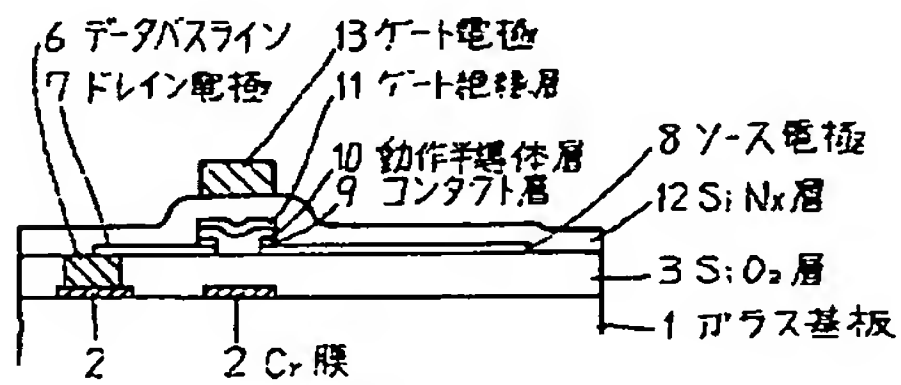
【図5】従来のスタガー型TFTマトリックスの断面図であり、(a)はA-A断面図、(b)はB-B断面図である。

【符号の説明】

- 1は透明絶縁性基板であってガラス基板
- 2は遮光膜でありエッチングストッパであってCr膜
- 3は透明絶縁層であってSiO<sub>2</sub>層
- 4はマスクであってレジストマスク
- 5は開孔
- 6はデータバスライン
- 6aはバリであってAlのバリ
- 7はドレイン電極であってITO層
- 8はソース電極であってITO層
- 9はコンタクト層であってn<sup>+</sup>-a-Si層
- 10は動作半導体層であってa-Si層
- 11はゲート絶縁層であってSiN<sub>x</sub>層
- 12は絶縁層でありゲート絶縁層であってSiN<sub>x</sub>層
- 13はゲート電極
- 14はゲートバスライン
- 15は画素電極

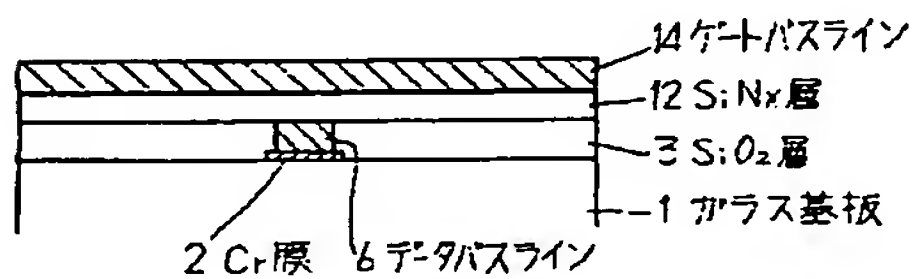
【図1】

実施例のTFIマトリックスの断面図



A-A断面図

(a)

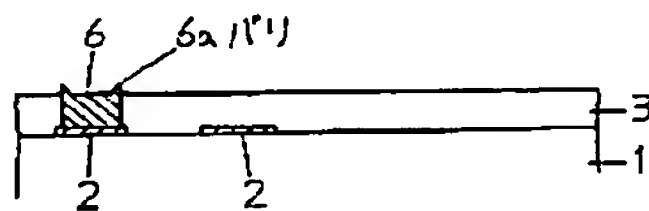


B-B断面図

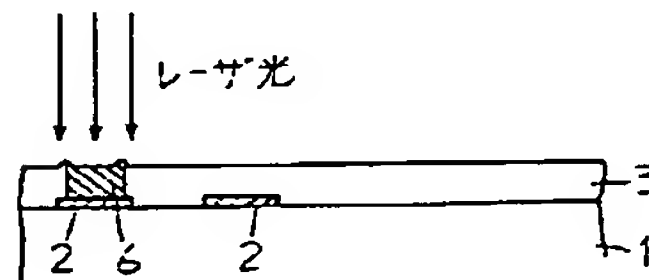
(b)

【図3】

データバスラインの平坦化処理を説明するための断面図



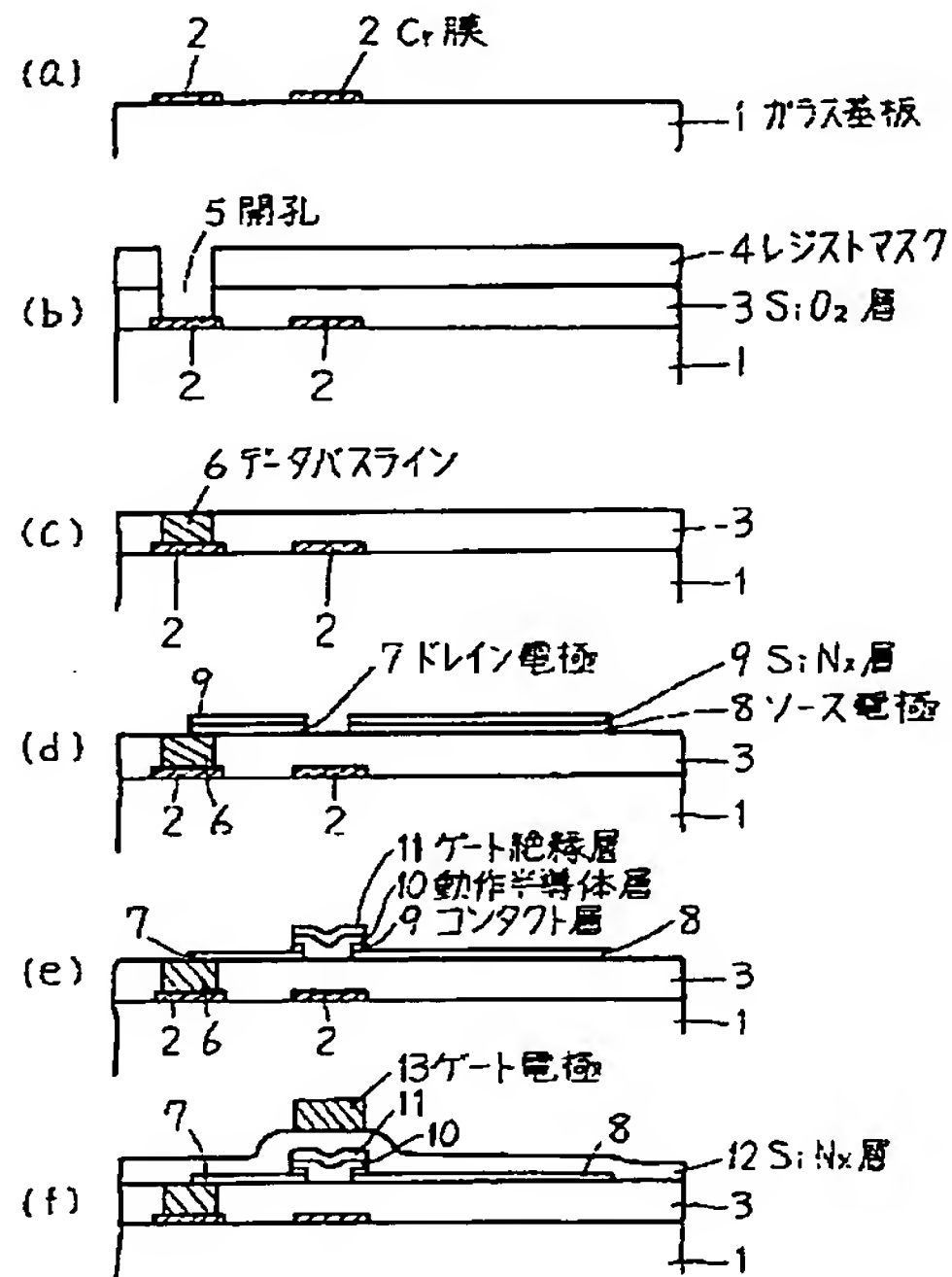
(a)



(b)

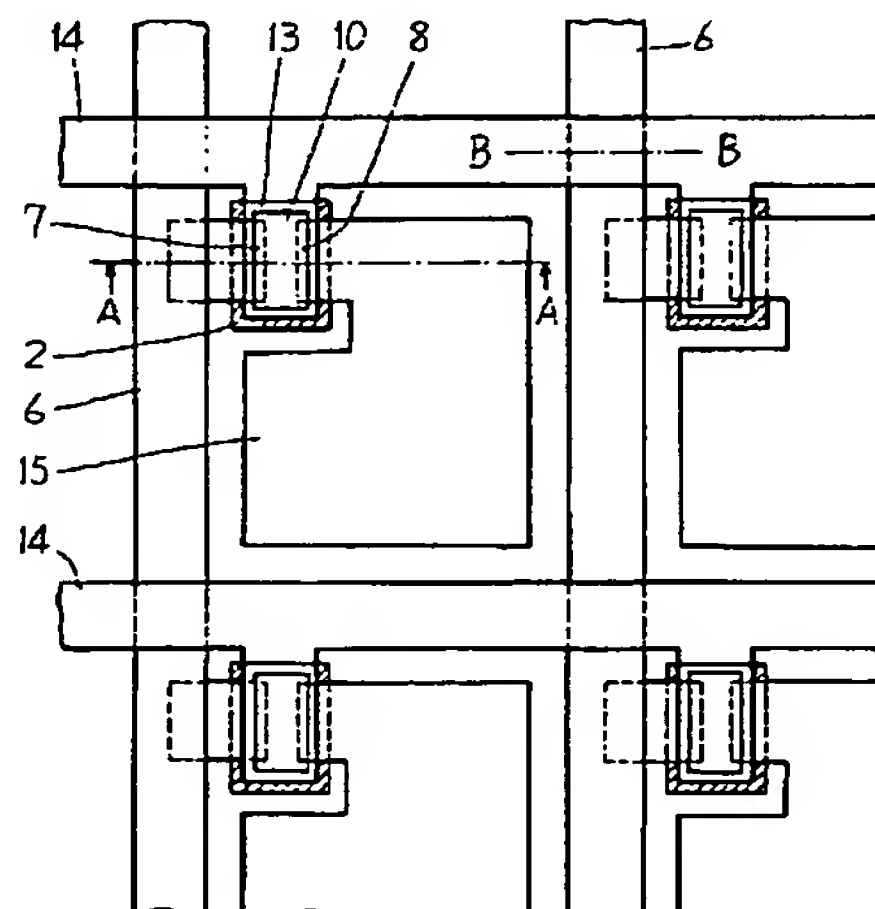
【図2】

実施例を示す工程順断面図

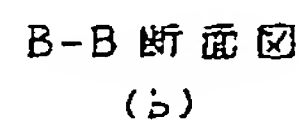


【図4】

従来のスタガー型TFIマトリックスの平面図



従来のスタガ-型TFTマトリックスの断面図



(72)発明者 田中 稔一  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内